

PAT-NO: JP363209141A
DOCUMENT-IDENTIFIER: JP 63209141 A
TITLE: INTEGRATED CIRCUIT
PUBN-DATE: August 30, 1988

INVENTOR-INFORMATION:
NAME
URASAKI, TADAAKI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC IC MICROCOMPUT SYST LTD N/A

APPL-NO: JP62043371
APPL-DATE: February 25, 1987

INT-CL (IPC): H01L021/82, H01L027/04 , H01L027/10
US-CL-CURRENT: 257/E27.11, 438/396

ABSTRACT:

PURPOSE: To eliminate the limit of disposing input/output common buffer due to the wiring region of a memory by so disposing the memory as not to contact with the input/output buffer near the center on a chip by surrounding it with a logic unit.

CONSTITUTION: In a gate array having a memory 14, a logic unit 13 and input/output buffer 12 on a chip 11, a plurality of memories 14 are so disposed as to surround it near the center of the chip 11 by the unit 13, as shown. Thus, the

memories 14 are not disposed adjacent to the buffer 12 to
eliminate a problem
in which the number of disposition of the input/output
common buffer to the
buffer 12 formed by disposing the memories 14 adjacently to
the buffer 12.

COPYRIGHT: (C)1988, JPO&Japio

⑫ 公開特許公報(A)

昭63-209141

⑤ Int.Cl.⁴H 01 L 21/82
27/04
27/10

識別記号

4 6 1

庁内整理番号

8526-5F
A-7514-5F
8624-5F

⑬ 公開 昭和63年(1988)8月30日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 集積回路

⑰ 特 願 昭62-43371

⑱ 出 願 昭62(1987)2月25日

⑲ 発 明 者 浦 崎 忠 昭 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内⑳ 出 願 人 日本電気アイシーマイ 東京都港区芝5丁目7番15号
コンシステム株式会社

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

集積回路

2. 特許請求の範囲

チップ上にメモリー部、論理部、入出力バッファ部を有するゲートアレイにおいて、前記メモリー部をチップ上の中心寄りに前記入出力バッファ部と接しないよう前記論理部で囲んで配置したことを特徴とする集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は集積回路に関し、特にメモリー付ゲートアレイに関する。

〔従来の技術〕

最近集積度の向上とともに、ゲートアレイの複合化も進み第3図に示すように、論理部33だけでなくメモリー部34を有するゲートアレイも数

多く出回るようになった。従来のメモリー付ゲートアレイは第3図に示すようにメモリー部34と論理部33と入出力バッファ部32から成りメモリー部34はチップ31上の外寄りに入出力バッファ部32と隣り合うよう配置されていた。

〔発明が解決しようとする問題点〕

従来のメモリー付ゲートアレイは第3図に示すようにチップ31上に外寄りに入出力バッファ部32と隣り合うようにメモリー部34が配置されており、メモリー部34間の配線領域等の制限により、メモリー部34配置側の入出力バッファ部32への入出力共用バッファの配置の数が制限されるという問題点があった。

また、メモリー部34上を通過する入出力バッファ部32と論理部33との接続はできないので、メモリー部34配置側の入出力バッファ部32と論理部33との効率的な接続ができないという問題点もあった。

本発明はメモリー部34をチップ31上の中心寄りに論理部33で囲んで配置することにより入

出力共用バッファ配置の制限をなくし、入出力バッファ部32と論理部33との効率的な接続を目的とする。

上述した従来のメモリー付ゲートアレイに対し、本発明は、メモリー部を中心寄りに論理部で囲まれるように配置したところが相違点である。

〔問題点を解決するための手段〕

本発明の構成は、チップ上にメモリー部、論理部、入出力バッファ部を有するゲートアレイにおいて前記メモリー部をチップ上の中心寄りに前記入出力バッファ部と接しないように前記論理部で囲んで配置したことを特徴とする。

〔実施例〕

次に本発明によるメモリー付ゲートアレイについて実施例により図面を参照して説明する。第1図は本発明の第1の実施例のメモリー付ゲートアレイの配置を示す平面図である。第1図のようにチップ11上の中心寄りに論理部13で囲まれるように複数個のメモリー部14を配置する。これによりメモリー部14は入出力バッファ部12

とはいっさい隣り合うことはなくなりメモリー部14と入出力バッファ部12とが隣り合うことによって生じていた入出力バッファ部12への入出力共用バッファの配置の数が制限されるという問題が解消され、また、メモリー部14の内側の論理部13をメモリー部14との接続専用の論理部13としメモリー部14の外側の論理部13をそれ以外の論理部13とすることが可能であるため、論理部13と入出力バッファ部12との接続も容易になる。

〔実施例2〕

第2図は本発明の第2の実施例のメモリー付ゲートアレイの配置を示す平面図である。第2図のようにチップ21の外周からメモリー部24までの距離が等距離でなくチップ21上の中心寄りに論理部23に囲まれるように複数個のメモリー部24を配置する。これにより入出力共用バッファの配置の制限が解消されメモリー部24との接続専用の論理部23とそれ以外と分けることなくメモリー部24と論理部23、論理部23と入出

力バッファ部22の接続が容易になるという利点がある。

また、メモリー部24の配置は中心寄りに論理部23に囲まれて配置されていれば、メモリー部24の配置の形状は問わない。

〔発明の効果〕

以上説明したように、本発明によればメモリー部をチップ上の中心寄りに論理部で囲んで配置することにより、入出力バッファ部とメモリー部とは隣り合うことはなく、これによりメモリー部の配線領域等による入出力共用バッファの配置の制限が解消され、入出力共用バッファの配置は自由にできる。また、論理部と入出力バッファ部との接続もメモリー部にさまたげられるということがなくなるので論理部と入出力バッファ部との接続も容易に行うことができる。

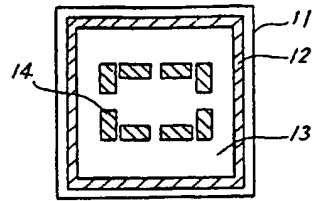
図を示す平面図。

11, 21, 31 ……チップ、12, 22, 32 ……入出力バッファ部、13, 23, 33 ……論理部、14, 24, 34 ……メモリー部。

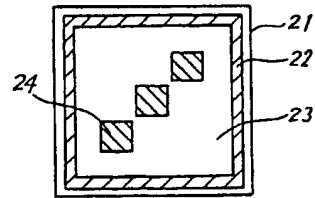
代理人 弁理士 内 原 晋

4. 図面の簡単な説明

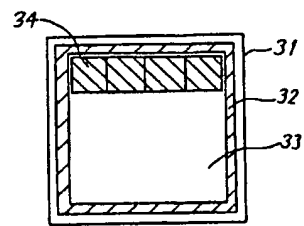
第1図、第2図はそれぞれ本発明の第1、第2の実施例の配置を示す平面図、第3図は従来の配



第 1 圖



第 2 圖



第 3 圖